

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

DRIVE FOR VARIABLE-RELUCTANCE MOTOR

Patent Number: JP3089897
Publication date: 1991-04-15
Inventor(s): YAMASHITA MASAYUKI; others: 01
Applicant(s):: BROTHER IND LTD
Requested Patent: ☐ JP3089897
Application Number: JP19890227850 19890901
Priority Number(s):
IPC Classification: H02P8/00 ; H02P7/00
EC Classification:
Equivalents: JP2830150B2

Abstract

PURPOSE: To protect a switching element from surge voltage generated at the OFF time of the switching element at high speed or leakage currents by connecting capacitive load or the series circuit of the capacitive load and a resistor in parallel with an excitation winding.

CONSTITUTION: A snubber circuit 29 is composed of the series circuit of a capacitor 27 as capacitive load and a resistor 28, and connected in parallel with an excitation winding 22. Currents flowing through the excitation winding 22 intend to continuously flow even after service interruption by the effect of an inductance component in a moment when switching element FETs 23 and 24 are turned OFF. The momentary currents are absorbed because they are charged to the capacitor 27, and subsequent currents are returned to a DC power 21 through diodes 25, 26 for feedback. Consequently, the capacitor 27 is constant-current charged at that time, and the terminal voltage of the capacitor gradually rises linearly. Accordingly, the terminal voltage of the FETs 23 and 24 also rises linearly, and the rate of rise dv/dt is brought to a fixed value.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平3-89897

⑤ Int.Cl.⁵H 02 P 8/00
7/00

識別記号

5 0 1 F

庁内整理番号

7315-5H
8625-5H

⑬ 公開 平成3年(1991)4月15日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 可変リラクタンスモータの駆動装置

⑯ 特 願 平1-227850

⑰ 出 願 平1(1989)9月1日

⑱ 発 明 者 山 下 正 行 愛知県名古屋市瑞穂区堀田通9丁目35番地 ブラザー工業株式会社内

⑲ 発 明 者 紀 平 憲 一 愛知県名古屋市瑞穂区堀田通9丁目35番地 ブラザー工業株式会社内

⑳ 出 願 人 ブラザー工業株式会社 愛知県名古屋市瑞穂区苗代町15番1号

㉑ 代 理 人 弁理士 佐 藤 強 外1名

明 細 書

1 発明の名称

可変リラクタンスモータの駆動装置

2 特許請求の範囲

1. 可変リラクタンスモータの励磁巻線に対して、スイッチング素子のオンオフにより通断電するようにしたものにおいて、容量性負荷或は容量性負荷と抵抗との直列回路を前記励磁巻線に並列に接続したことを特徴とする可変リラクタンスモータの駆動装置。

3 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、スイッチング素子のオンオフにより励磁巻線の通断電を行なうようにした可変リラクタンスモータの駆動装置に関する。

(従来の技術)

一般に、可変リラクタンスモータの駆動装置は、モータの励磁巻線をスイッチング素子のオンオフにより通断電させて駆動するようになっており、

この場合に、高速回転を実現させるために、スイッチングスピードの速いFET或はIGBT等のスイッチング素子を用いることが多い。ところが、可変リラクタンスモータは駆動装置から離れて配置される場合があり、これによって励磁巻線と駆動装置との間の配線が長くなると、負荷としての励磁巻線のインダクタンスに加えて浮遊インダクタンス及び浮遊容量が付加されることになり、この状態では、スイッチング素子のスイッチングスピードが速すぎることにより、逆に次のような不具合を生ずることがあった。

即ち、スイッチング素子によるスイッチング時の電圧変化率(dv/dt)、電流変化率(di/dt)が大きいと、励磁巻線或は配線の浮遊容量Cによるリーク電流 Δi ($=C \cdot dv/dt$)が大きくなって、安全性に欠けたり、浮遊インダクタンスLによるサージ電圧 Δv ($=L \cdot di/dt$)が大きくなって、スイッチング素子が過電圧により破壊したり或は安全動作領域(ASO)を外れて破壊する等の虞があった。

そこで、従来では上述のような不具合を解消すべく、例えば第3図乃至第6図に示すような駆動装置が考えられていた。

即ち、まず第3図において、1は直流電源、2は可変リラクタンスモータの励磁巻線で、その両端子はFET3及び4を夫々介して直流電源1の両端子に接続されている。これらのFET3及び4は図示しない制御回路から制御信号が与えられてオンオフの動作を行うようになっている。5及び6は帰還用ダイオードで、夫々FET3、励磁巻線2の直列回路及び励磁巻線2、FET4の直列回路と並列に図示極性で接続されている。7はコンデンサ8及び抵抗9の直列回路からなるスナバ回路で、FET3に並列に接続されており、10はコンデンサ11及び抵抗12の直列回路からなるスナバ回路で、FET4に並列に接続されている。

このような構成によれば、FET3及び4のオフ時には、励磁巻線2に発生する逆起電圧はスナバ回路7及び10のコンデンサ8及び11により

に示すように、FET3及び4のゲート抵抗13及び14に直列に順方向にダイオード15及び16を介在させ、これらと並列に抵抗値の大きな抵抗17及び18を夫々接続して構成したもので、これにより、FET3及び4のオフ時間を遅らせてオフ時のスイッチングによる dv/dt 或は dI/dt を抑制するものである。この結果、第6図に示すように、FET3及び4にかかる dI/dt は、破線で示す傾きから実線で示す傾きに抑制され、FET3及び4に対する前述のような不具合が解消されるものである。

(発明が解決しようとする課題)

しかしながら、上述のような従来構成のものである、FET3及び4のオフ時に発生する逆起電力から保護は行なえるものの、例えば、第3図に示すものの場合には、上述したようにFET3及び4の端子電圧 V_{DS} は、電源電圧の値が異なると、第4図に示したように電圧変化率 dV/dt も異なる値となるため、場合によってはFET3及び4のASO領域を外れてしまう虞があり、また、

吸収されると共に、そのとき流れ続けようとする電流は帰還用ダイオード5及び6を介して直流電源1に戻される。これにより、FET3及び4の端子電圧 V_{DS} は、第4図に示すようにコンデンサ8及び11の端子電圧に従って上昇してゆき、最終的に電源電圧に基づく分担電圧に到達する。この場合、コンデンサ8及び11には、直流電源1の端子電圧が印加されることにより定電圧充電されるので、所謂コンデンサ充電曲線に沿って上昇するため、例えば、電源電圧の違いによる到達端子電圧 V_1 或は V_2 に対して、FET3及び4の端子電圧もこれに伴って実線で示した曲線或は破線で示した曲線に従って上昇して行くものである。従って、回路定数を適当に設定することにより、この充電曲線の傾きである dV/dt を設定することができるので、FET3及び4におけるサージ電圧 ΔV 或はリーク電流 ΔI により生ずる不具合は解消される。

また、第5図に示すものは、同図(a)に示すゲート回路(スナバ回路なし)に対して同図(b)

発生するノイズの特性もばらついてしまい、駆動装置の設計に当って、その都度電源電圧を考慮してスイッチング素子の保護を行なわねばならないという不具合があった。

一方、第5図に示すものの場合には、 dV/dt を小さくできるものの、これではFET3及び4のオフ時の蓄積時間が長くなって、電流を速く遮断することができず、実質的にスイッチングスピードが遅くなることになる。つまり、スイッチングスピードの速いFET3、4を使用する意味がなくなってしまう、高速回転を実現できなくなるものであった。

本発明は、上記事情に鑑みてなされたもので、その目的は、高速のスイッチング素子のオフ時に、発生するサージ電圧或はリーク電流からスイッチング素子を保護して可変リラクタンスモータの高速回転を実現させつつ、この場合でも電源電圧の違いを考慮することなく、一定の dV/dt を設定することができて回路の設計要素を減らして簡単化させ、且つノイズ特性のばらつきも低減させ

ることができる可変リラクタンスモータの駆動装置を提供するにある。

〔発明の構成〕

（課題を解決するための手段）

本発明は、可変リラクタンスモータの励磁巻線に対して、スイッチング素子のオンオフにより通断電するようにした可変リラクタンスモータの駆動装置を対象とし、容量性負荷或は容量性負荷と抵抗との直列回路を前記励磁巻線に並列に接続したところに特徴を有する。

（作用）

本発明の可変リラクタンスモータの駆動装置によれば、励磁巻線への通電がスイッチング素子のオフで断電されると、励磁巻線のインダクタンス成分により負荷電流は流れ続けようとするが、そのとき瞬時的に発生している電流は並列に接続されている容量性負荷に充電されて吸収されるので、スイッチング素子に逆並列に接続されたダイオードに電流が流れるまでの間にサージ電圧或はリーク電流が大きく発生することがなくなる。そして、

ンオフされるようになっている。25及び26は帰還用ダイオードで、夫々FET23、励磁巻線22の直列回路及び励磁巻線22、FET24の直列回路と並列に図示極性で接続されている。27は容量性負荷たるコンデンサ、28は抵抗で、これらの直列回路によりスナバ回路29が構成されており、励磁巻線22に並列に接続されている。

次に、本実施例の作用について第2図をも参照しながら述べる。

FET23及び24が制御装置からの制御信号によりオンオフが繰り返されると、直流電源21から励磁巻線22への通断電が繰り返され、図示しない可変リラクタンスモータが駆動される。

上述の場合、FET23及び24が断電されたときには、次のようにして励磁巻線22の電流が流れる。即ち、FET23及び24がオフした瞬間には、励磁巻線22に流れていた電流はインダクタンス成分のはたらきにより断電後も流れ続けようとする。この瞬時電流は、スナバ回路29のコンデンサ27に充電されることにより吸収され、

この場合、容量性負荷には励磁巻線からの電流により定電流充電されるので、その端子電圧は直線的に上昇し、従ってスイッチング素子の端子電圧も直線的に上昇してゆく。これにより、スイッチング素子の端子電圧の上昇率(dv/dt)を常に一定の値とすることができ、従って一度設定しておけば、電源電圧を変更した場合でもスイッチング素子の端子電圧の上昇率(dv/dt)の変動を考慮する必要がなくなり、スイッチング素子の保護に対する設計要素が少なくなると共に、これによりノイズ特性のばらつきも低減される。

（実施例）

以下、本発明の一実施例について第1図乃至第2図を参照しながら説明する。

まず、電氣的構成を示す第1図において、21は直流電源、22は可変リラクタンスモータの励磁巻線で、その両端子はスイッチング素子たるFET23及び24を夫々介して直流電源21の両端子に接続されている。この場合、FET23及び24は図示しない制御装置により制御されてオ

その後の電流は帰還用ダイオード25、26を介して直流電源21に戻される。従って、このときコンデンサ27は定電流充電されることになり、その端子電圧は直線的に上昇して行く。これにより、このときのFET23及び24の端子電圧も直線的に上昇して行き、第2図に示すように、端子電圧の上昇率つまり dv/dt は一定の値となる。即ち、従来のと異なり、FET23及び24の端子電圧は、最終的に分担する電圧例えば V_1 、或は V_2 といった値に関係なく直線的に上昇して分担電圧に達するようになるものである。

このような本実施例によれば、スナバ回路29を負荷としての励磁巻線22に並列に接続するようにしたので、FET23及び24のオフ時に励磁巻線22からの電流によりコンデンサ27が定電流充電されることになり、FET23及び24の端子電圧は直線的に上昇し、従って、その上昇率 dv/dt は最終的に到達する分担電圧の値に関係なく一定の値となる。これにより、回路定数を考慮してFET23及び24の dv/dt を設

定する必要がなくなり、回路設計が簡単化でき、また、このように dv/dt を一定の値に設定できることから、発生するノイズ特性のばらつきも低減される。

尚、上記実施例では、容量性負荷としてのコンデンサ27及び抵抗28を用いたスナバ回路29を構成したが、これに限らず、容量性負荷つまりコンデンサ27のみを励磁巻線21に並列接続させるようにしても同様の効果が得られる。

また、上記実施例では、スイッチング素子としてFET23及び24を用いたが、これに限らず、例えばバイポーラトランジスタやIGBT等のスイッチング素子を用いても良い。

【発明の効果】

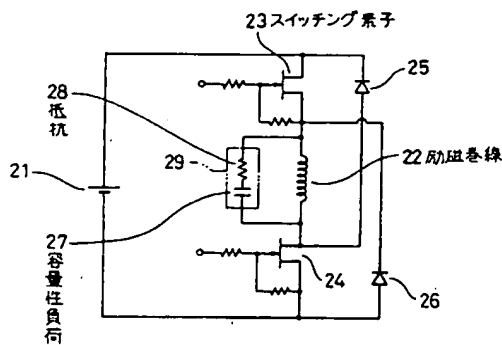
以上説明したように、本発明の可変リラクタンスマータの駆動装置によれば、励磁巻線に並列に容量性負荷或は容量性負荷と抵抗との直列回路を接続する構成としたので、スイッチング素子のオフ時に励磁巻線から流れる電流により容量性負荷に定電流充電させることができ、これによりスイ

ッチング素子の端子電圧も直線的に上昇させることができ、従って、スイッチング素子の端子電圧を電源電圧に関係なく一定の上昇率に設定でき、回路の設計要素を減らして簡単化させることができ、且つノイズ特性のばらつきを低減させることができるという優れた効果を奏する。

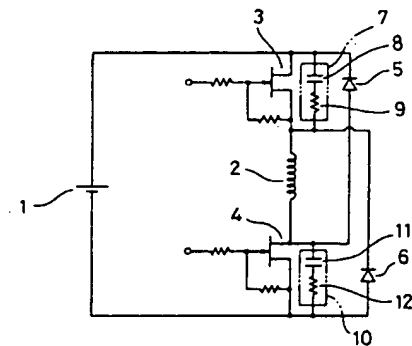
4 図面の簡単な説明

第1図及び第2図は本発明の一実施例を示し、第1図は電気的構成図、第2図は端子電圧の上昇時の説明図であり、第3図及び第4図は従来例を示し、第3図は第1図相当図、第4図は第2図相当図であり、第5図及び第6図は異なる従来例を示し、第5図は電気的構成の部分図、第6図は第2図相当図である。

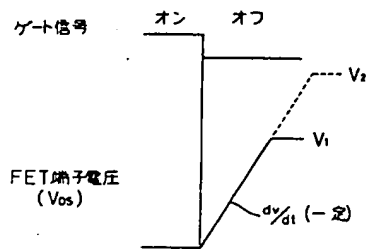
図面中、21は直流電源、22は励磁巻線、23及び24はFET（スイッチング素子）、25及び26は帰還用ダイオード、27はコンデンサ（容量性負荷）、28は抵抗、29はスナバ回路である。



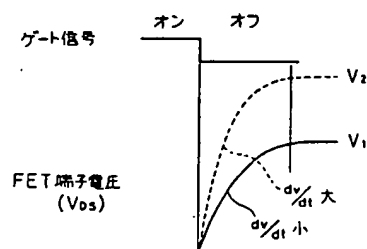
第1図



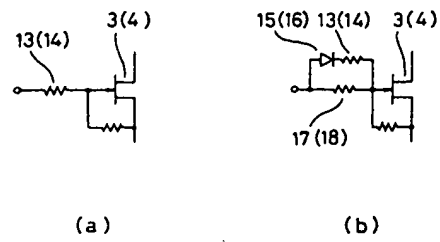
第3図



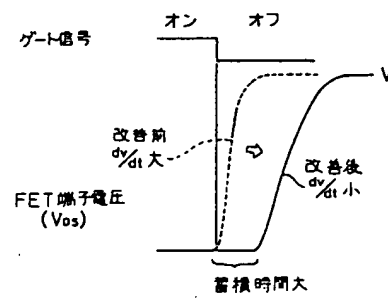
第2図



第4図



第 5 図



第 6 図